


**SEMICONDUCTOR DEVICE**

Patent Number: JP6037222  
Publication date: 1994-02-10  
Inventor(s): YAMAGUCHI SHINJI  
Applicant(s): FUJI ELECTRIC CO LTD  
Requested Patent:  JP6037222  
Application Number: JP19920191190 19920720  
Priority Number(s):  
IPC Classification: H01L23/48; H01L23/60  
EC Classification:  
Equivalents: JP2894402B2

---

**Abstract**

---

**PURPOSE:** To provide a semiconductor device in which element breakdown and erroneous operation can be prevented, and also the speed of switching operation can be adjusted in accordance with the requirement of intended purposes.

**CONSTITUTION:** On a semiconductor device in which a semiconductor element 2 is mounted on a substrate 1 and a collector terminal 4, the main terminal of an emitter terminal 5, a gate terminal and the controlling auxiliary terminal of an emitter auxiliary terminal 7 are led out, auxiliary terminal lead wires 8 and 10 are mutually induction-coupled by internally wiring them along the conductor of the main terminal current in such a manner that a part in the middle of them is internally wired along the conductor of the main terminal, and the steep rising and falling of a control signal are alleviated by the mutual induced electromotive force induced on the lead wire by the change in the main terminal current. As a result, the changing rate  $di/dt$  of a collector current is brought down, and excessive surge voltage is prevented. Also, turn-on speed is adjusted by changing the degree of mutual induction coupling.

---

Data supplied from the esp@cenet database - 12

⑦

# 類似技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-37222

(43) 公開日 平成 6 年 (1994) 2 月 10 日

(51) Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/48

S

P

23/60

H 0 1 L 23/56

B

審査請求 未請求 請求項の数 3 (全 4 頁)

(21) 出願番号

特願平4-191190

(22) 出願日

平成 4 年 (1992) 7 月 20 日

(71) 出願人

000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者

山口 信司

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人

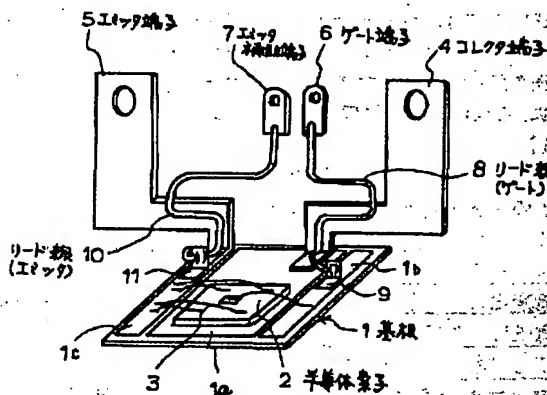
弁理士 山口 廉

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 スイッチング動作時に過大なサージ電圧が発生するのを抑えて素子破壊、誤動作を防止し、併せて用途先の要求に応じてスイッチング動作の速度を調節できるようにした半導体装置を提供する。

【構成】 基板 1 に半導体素子 2 を搭載してコレクタ端子 4、エミッタ端子 5 の主端子、およびゲート端子 6、エミッタ補助端子 7 の制御用補助端子を引出した半導体装置に対して、補助端子のリード線 8、10 の途中一部を主端子の導体に沿わせて内部配線して両者間を相互誘導結合させ、主端子電流の変化によりリード線に誘起する相互誘導起電力で制御信号の急峻な立ち上がり、立ち下りを緩和させる。これにより、コレクタ電流の変化率  $dI/dt$  を低めに抑えて過大なサージ電圧の発生を防ぐ。また、前記の相互誘導結合度を変えてターンオン速度を調節する。



## 【特許請求の範囲】

【請求項1】基板上に半導体素子を搭載して主端子、および制御用の補助端子を引出した半導体装置において、補助端子のリード線の一部を主端子の導体に沿わせて内部配線し、主端子電流の変化によりリード線に誘起する相互誘導起電力で制御信号の変化率を低めるように相互誘導結合させたことを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、補助端子のリード線をコイル状に巻回して主端子導体に沿わせたことを特徴とする半導体装置。

【請求項3】請求項1記載の半導体装置において、スイッチングタイムの設定を、主端子導体と補助端子リード線との間の相互誘導結合度の調整により行うようにしたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、絶縁ゲート形バイポーラトランジスタ（IGBT）、電界効果形トランジスタ（MOSFET）などで代表されるMOSゲート形半導体デバイス、あるいはバイポーラトランジスタなどのパワースwitching素子を対象とした半導体装置、特にその内部配線構造に関する。

## 【0002】

【従来の技術】昨今では、汎用インバータなどに採用するパワースwitching素子として順記したMOSゲート形半導体デバイスが多用されている。ところで、前記パワースwitching素子は、高電圧、大電流を高いスイッチング周波数で通電制御する素子であることから、スイッチングタイム、スイッチング損失が小さいことが望まれる。そのために、例えば従来の絶縁ゲート形バイポーラトランジスタでは、ゲート端子のリード線を主端子から引き離して内部配線するなどしてリード線のインダクタンス成分を低く抑え、主電流の影響がゲート信号にできる限り加わらないなどの対策を講じている。

## 【0003】

【発明が解決しようとする課題】ところで、前記スイッチング素子の高速化を進めると、反面次配のような弊害が派生する。すなわち、ターンオン、ターンオフ応答速度の早いスイッチング素子では、ターンオン、ターンオフ時の電流変化 $dI/dt$ が増大し、これが基で発生するサージ電圧により素子破壊が生じたり、次のように誤動作することがある。すなわち、インバータ回路において直列に接続された2個のスイッチング素子（IGBT）が交互にオン、オフ動作する場合に、オフ側の素子のコレクターエミッタ間にはスイッチング素子に並列接続したフライホイールダイオード（FWD）の逆回復時に非常に高い $dV/dt$ 電圧が印加され、この $dV/dt$ 電圧でコレクターゲート間の接合容量を充電するように流れる電流がゲートエミッタ間の電圧をゲートしきい値以上に高まって誤点弧し、スイッチング素子の直列

短絡に至る場合がある。

【0004】また、別な問題として、スイッチング素子を各種装置に組み込んで使用する場合には、素子の動作特性、特にターンオン速度（ターンオン時間）を適用装置の動作条件に適合させる必要があり、この観点からターンオン速度の調整可能なスイッチング素子の出現が要望されている。本発明は上記の点にかんがみなされたものであり、その目的は、内部配線構造を改良することにより前記課題を解決し、スイッチング動作時に過大なサージ電圧が発生するのを抑えて素子破壊、誤動作を防止し、併せて用途先の要求に応じてスイッチング動作の速度を調節できるようにした半導体装置を提供することにある。

## 【0005】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置においては、補助端子のリード線の一部を主端子の導体に沿わせて内部配線し、主端子電流の変化によりリード線に誘起する相互誘導起電力で制御信号の変化率を低めるように相互誘導結合させるものとする。

【0006】また、前記構成の実施態様として、補助端子のリード線をコイル状に巻回して主端子導体に沿わせた構成がある。そして、スイッチングタイムの設定を、主端子導体と補助端子リード線との間の相互誘導結合度の調整により行うものとする。

## 【0007】

【作用】上記の構成により、半導体装置のスイッチング動作開始に伴って主端子に流れる電流が変化すると、その電流変化により主端子導体に沿わせた補助端子のリード線には相互誘導起電力が誘起し、この起電力が制御信号の上昇、下降率を低めて信号波形の立ち上がり、立ち下がりやを緩やかにする。これにより、主端子電流の変化率 $dI/dt$ が緩和され、これに起因する過大なサージ電圧の発生が抑制される。

【0008】また、この場合に主端子導体に沿わせる補助端子リード線の長さ、コイル状の巻回数を調節することにより両者間の相互誘導結合度（相互インダクタンス）が変わり、これによりスイッチング動作の速度、つまりスイッチングタイムが変化する。したがって、この機能をj利用することで半導体装置のターンオン特性を用いて用途先の要求に合わせて調節することが可能となる。

## 【0009】

【実施例】以下本発明の実施例を図面に基づいて説明する。まず図1、図2において、1は上面に導体パターン1a～1cを形成した絶縁基板、2は基板1の導体パターン1aにコレクタの電極面を向けてマウントした半導体素子（IGBT）、3は半導体素子2のコレクタ、ゲート電極と導体パターン1b、1cとの間に配線したボンディングワイヤ、4、5は導体パッケージ1a、1cに半田付けして上方に立ち上がる銅板製のコレクタ端

子、エミッタ端子（主端子）、6はゲート端子（制御信号用の補助端子）、7はエミッタ補助端子、8はゲート端子6と導体パターン1bの端子金具9との間に配線したリード線（可撓線）、10はエミッタ補助端子7と導体パターン1cの端子金具11との間に配線したリード線（可撓線）であり、これらの各部品は図示されていないパッケージに組み込まれ、前記の各端子4～7がパッケージより外部に引出してある。

【0010】また、前記リード線8、10は配線の途中箇所がそれぞれコレクタ端子4、エミッタ端子5の導体に沿わせて相互誘導結合するように配線されている。そして、図1の実施例ではリード線8、10がコレクタ端子4、エミッタ端子5の端子導体に流れる電流と平行な向きに配線され、図2の実施例ではリード線8、10がコイル状に巻回してあり、かつリード線8は左ねじ系、リード線10は右ねじ系に定めてある。

【0011】かかる構成により、半導体素子のスイッチング動作時に主端子（コレクタ端子4、エミッタ端子5）に流れる電流が変化すると、補助端子（ゲート端子6、エミッタ補助端子7）のリード線8、10には相互誘導起電力が誘起し、この起電力が補助端子に入力する制御信号の急峻な立ち上がり、立ち下がり勾配を低めるように作用する。

【0012】次に、前記構成による半導体装置のターンオン特性を図3により具体的に説明する。なお、図3

(a)は半導体装置の等価回路図、図3(b)は電圧、電流の波形図を表しており、図中でCはコレクタ端子、Eはエミッタ端子、eはエミッタ補助端子、Gはゲート端子を表し、また $v_g$ は制御信号としてゲート端子Gとエミッタ補助端子eとの間に外部から印加したステップ状のドライブ電圧、 $i$ はコレクタ電流、 $v_s$ は相互誘導起電力（ $v_s = M \cdot di/dt$ 、 $M$ ：相互インダクタンス）、 $v_g$ は素子のゲート電極に加わる電圧である。

【0013】すなわち、ターンオン時にG端子とe端子との間に急峻に立ち上がるステップ状のドライブ電圧 $v_g$ を印加してコレクタ電流 $i$ が流れ始めると、相互誘導起電力 $v_s$ が誘起して電圧 $v_g$ に対して逆向きに作用する。これにより、素子のゲート電極に加わる電圧 $v_g$ は実線で表すように立ち上がり勾配が緩やかになり、これに比例してコレクタ電流 $i$ の上昇率 $di/dt$ が実線のように低く抑えられる。なお、ターンオフ時には前記と逆の作用によりコレクタ電流の急峻な立ち下がりを緩和

する。これにより、先述した素子内での過大なサージ電圧の発生を抑えて素子破壊、誤動作を防止できる。なお、(b)図に点線で表したコレクタ電流 $i$ 、ゲート電圧 $v_g$ の波形は従来構造の半導体装置における波形を示したものであり、その立ち上がり勾配は実線に比べて急峻である。

【0014】また、図1、図2の構成において、コレクタ端子4、エミッタ端子5の端子導体に沿わせたリード線8、10の長さ寸法、コイルの巻回数を変えることにより主端子との間の相互誘導結合度が変わり、これによりスイッチング特性も変化する。したがって、半導体装置の組立工程で補助端子のリード線を内部配線する際に、主端子と補助端子リード線との間の相互誘導結合度を調整することにより、半導体装置のターンオン速度を用途先の要求に合わせて設定することができる。

【0015】

【発明の効果】以上述べたように本発明の構成によれば、半導体装置の内部配線構造の上で、補助端子のリード線の一部を主端子の導体に沿わせて両者間を相互誘導結合させる簡単な手段を施すことにより、半導体素子のスイッチング動作時に生じる過大なサージ電圧を抑制して素子破壊、誤動作を防止することができる他、前記の相互誘導結合度を調節することにより、用途先の要求に応じて半導体装置のスイッチングタイム、つまりターンオン速度を容易に調整できるなどの効果が得られる。

【図面の簡単な説明】

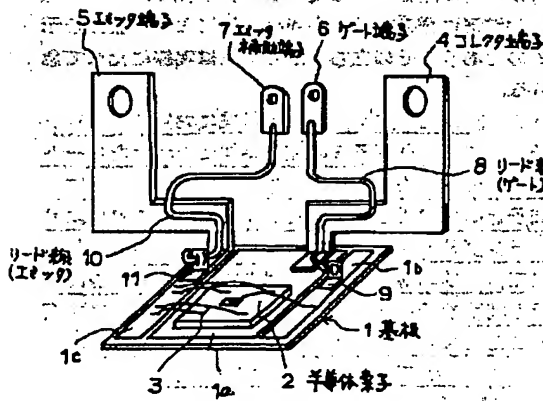
【図1】本発明の実施例による半導体装置の組立構成図

【図2】図1と異なる実施例の組立構成図

【図3】図1、図2の実施例によるスイッチング動作特性の説明図であり、(a)は半導体装置の等価回路図、(b)はターンオン動作時の電圧、電流波形を表す図

【符号の説明】

- 1 基板
- 2 半導体素子（絶縁ゲート形バイポーラトランジスタ）
- 4 コレクタ端子
- 5 エミッタ端子
- 6 ゲート端子
- 7 エミッタ補助端子
- 8 リード線（ゲート）
- 10 リード線（エミッタ）



【図3】

